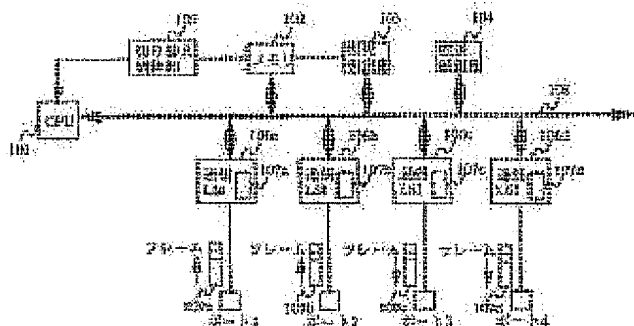


SWITCHING HUB

Abstract of Reference 2

Publication number: JP9149067 (A)**Publication date:** 1997-06-06**Inventor(s):** ANZAI YUICHI**Applicant(s):** HITACHI CABLE**Classification:****- international:** H04L12/44; H04L12/44; (IPC1-7): H04L12/44**- European:****Application number:** JP19950302983 19951121**Priority number(s):** JP19950302983 19951121**Abstract of JP 9149067 (A)**

PROBLEM TO BE SOLVED: To allow the hub to check an error of a frame and to avoid overflow of a reception buffer. **SOLUTION:** The hub is operated usually in the store & forward system and after receiving entire frames and conducting error check, the transfer of frames is started. A changeover control section 105 monitors the frame storage amount in a buffer memory 102 and when the stored amount reaches the threshold value or over, the cut & through system is selected and before the reception of the entire frames, a destination port is decided and the transfer is started.



Data supplied from the **esp@cenet** database — Worldwide

Reference 2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-149067

(43) 公開日 平成9年(1997)6月6日

(51) Int.Cl.⁸

識別記号

片内整理番号

F I

技術表示箇所

H 0 4 L 12/44

H 0 4 L 11/00

3 4 0

審査請求 未請求 請求項の数1 O L (全 5 頁)

(21) 出願番号

特願平7-302983

(22) 出願日

平成7年(1995)11月21日

(71) 出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72) 発明者 安斎 裕一

茨城県日立市日高町5丁目1番1号 日立

電線株式会社オプトロシステム研究所内

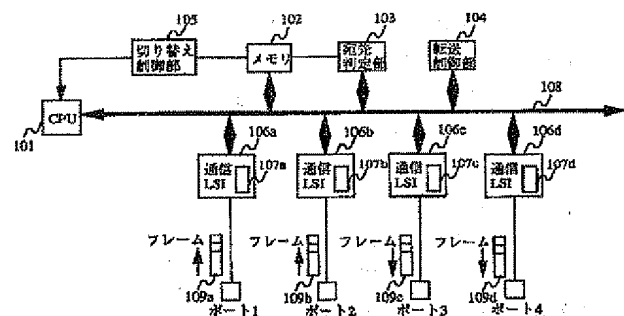
(74) 代理人 弁理士 絹谷 信雄

(54) 【発明の名称】 スイッチングハブ

(57) 【要約】

【課題】 フレームのエラーチェックができ、受信バッファメモリのオーバーフローを回避できるスイッチングハブを提供する。

【解決手段】 通常時はストア&フォワード方式で動作し、受信フレーム全体を受信してエラーチェックを行った後、転送を開始する。切り替え制御部105は、受信バッファメモリ102内のフレーム蓄積量を監視し、蓄積量がしきい値以上になったとき、カット&スルー方式に切り替え、受信フレーム全体を受信する前に、宛先ポートを決定し、転送を開始する。



る。

【図面の簡単な説明】

【図1】 本発明の一実施形態を示すスイッチングハブの構成図である。

【図2】 図1のスイッチングハブの切り替え制御部の構成図である。

【図3】 スwitchングハブの概念図である。

【図4】 従来のスイッチングハブの構成図である。

【図5】 ストア&フォワード方式におけるフレーム転送処理の流れ図である。

【図6】 カット&スルー方式におけるフレーム転送処理*

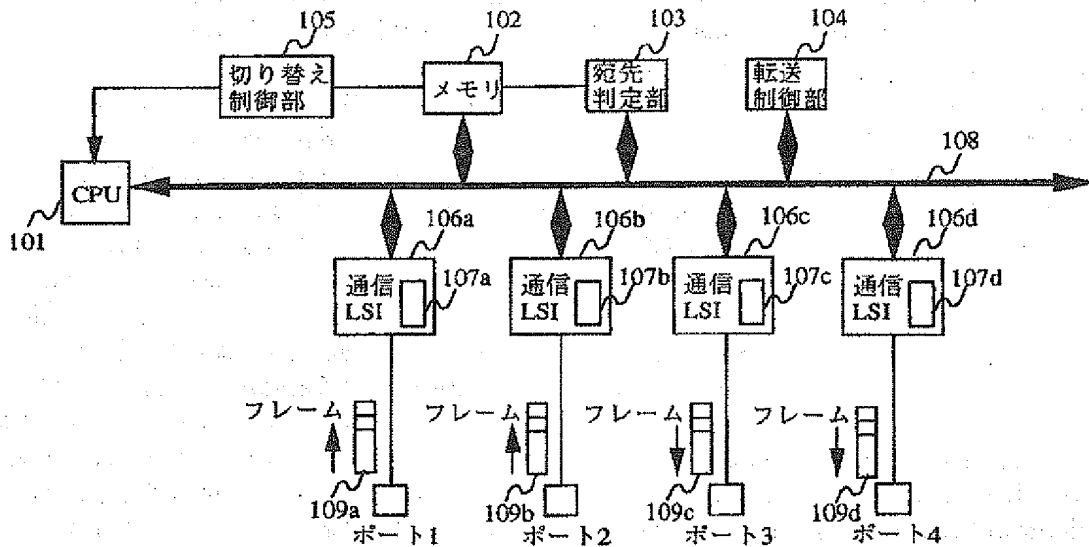
*の流れ図である。

【図7】 ストア&フォワード方式及びカット&スルー方式におけるフレーム転送のタイミング図である。

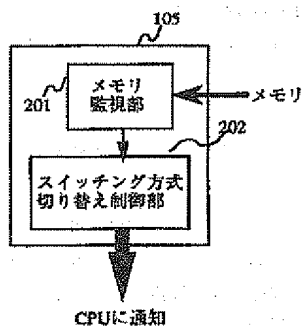
【符号の説明】

- | | |
|------|-----------------|
| 101 | CPU |
| 102 | 受信バッファメモリ |
| 103 | 宛先判定部 |
| 104 | 転送制御部 |
| 105 | 切り替え制御部 |
| 106a | 通信LSI |
| 106b | 通信LSI |
| 106c | 通信LSI |
| 106d | 通信LSI |
| 107a | 通信LSI |
| 107b | 通信LSI |
| 107c | 通信LSI |
| 107d | 通信LSI |
| 108 | フレーム |
| 109a | ポート1 |
| 109b | ポート2 |
| 109c | ポート3 |
| 109d | ポート4 |
| 201 | 受信バッファメモリ監視部 |
| 202 | スイッチング方式切り替え制御部 |

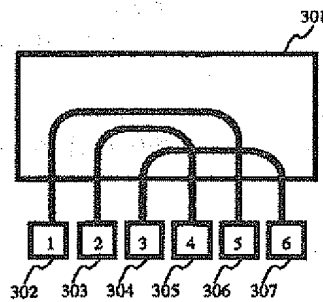
【図1】



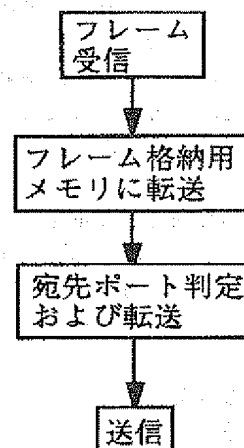
【図2】



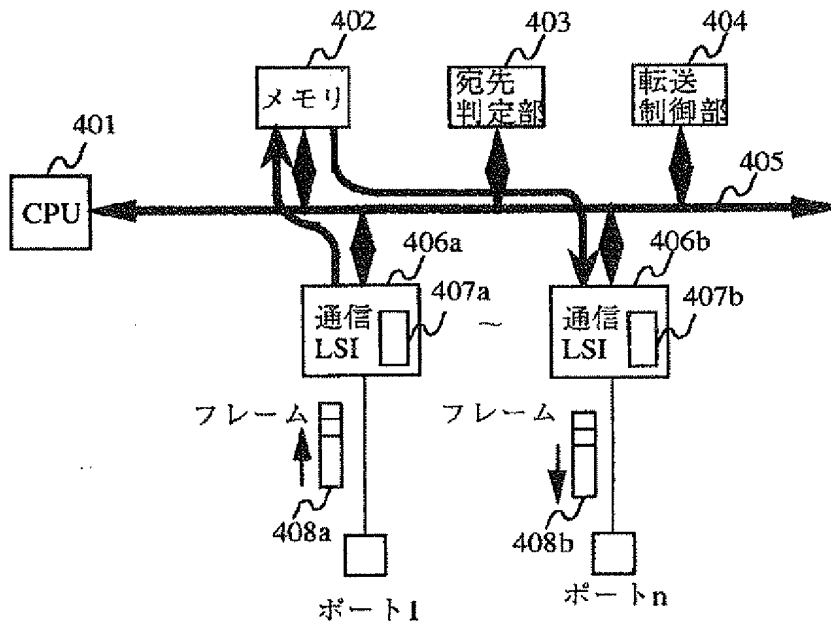
【図3】



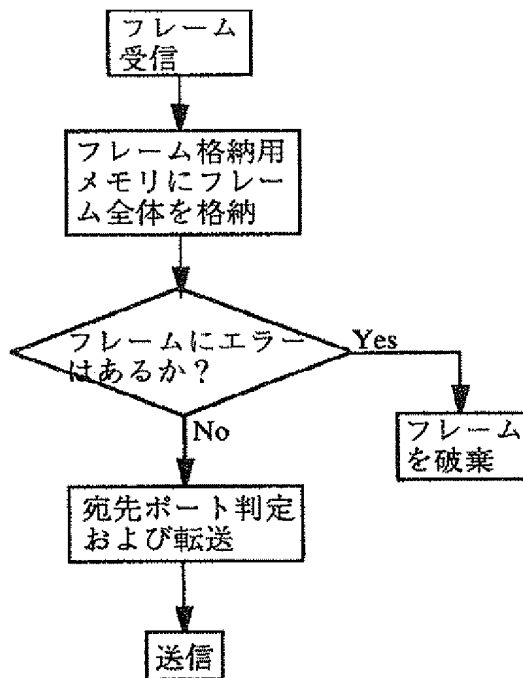
【図6】



【図 4】



【図 5】



【図 7】

